

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Hideaki FUJIWARA**

Serial No.: **Not Yet Assigned**

Filed: **July 6, 2001**

For: **SEMICONDUCTOR MEMORY AND SEMICONDUCTOR DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

July 6, 2001

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2000-209196, filed July 11, 2000**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

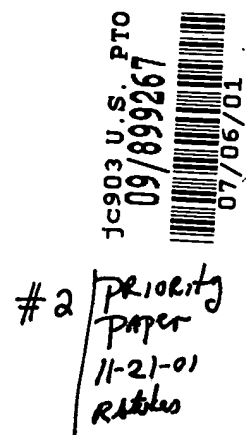
In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN, HATTORI  
McLELAND & NAUGHTON, LLP



William L. Brooks  
Reg. No. 34,129

Atty. Docket No.: 010835  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
WLB/ll



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

Jc903 U.S. PTO  
09/899267  
07/06/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 7月11日

出 願 番 号

Application Number:

特願2000-209196

出 願 人

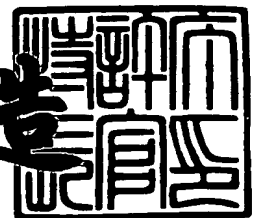
Applicant(s):

三洋電機株式会社

2001年 5月11日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3039927

【書類名】 特許願

【整理番号】 NBC1002048

【提出日】 平成12年 7月11日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/772

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号  
                    三洋電機株式会社内

    【氏名】 藤原 英明

【特許出願人】

    【識別番号】 000001889

    【氏名又は名称】 三洋電機株式会社

    【代表者】 近藤 定男

【代理人】

    【識別番号】 100104433

    【弁理士】

    【氏名又は名称】 宮園 博一

【手数料の表示】

    【予納台帳番号】 073613

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 0001887

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体メモリおよび半導体装置

【特許請求の範囲】

【請求項 1】 浮遊ゲート電極と、

前記浮遊ゲート電極の電位制御に用いられ、ダイオード構造を有する第 1 ソース／ドレイン領域と、

前記第 1 ソース／ドレイン領域との間でチャネル領域を挟むように形成された第 2 ソース／ドレイン領域とを備えた、半導体メモリ。

【請求項 2】 前記ダイオード構造を有する第 1 ソース／ドレイン領域には、消去動作の際に、負電圧が印加される、請求項 1 に記載の半導体メモリ。

【請求項 3】 前記第 1 ソース／ドレイン領域は、

第 1 導電型の半導体からなる第 1 層に形成された第 2 導電型の第 1 不純物領域と、

前記第 1 不純物領域の内側に形成された第 1 導電型の第 2 不純物領域とを含み

、  
前記第 1 不純物領域は、前記第 1 層と前記第 2 不純物領域との間のすべての領域に形成されている、請求項 1 または 2 に記載の半導体メモリ。

【請求項 4】 前記第 2 不純物領域は、絶縁膜を介して前記浮遊ゲート電極に容量結合している、請求項 1 ～ 3 のいずれか 1 項に記載の半導体メモリ。

【請求項 5】 前記チャネル領域上にゲート絶縁膜を介して形成された制御ゲート電極をさらに備え、

前記制御ゲート電極下のゲート絶縁膜の厚みは、前記制御ゲート電極と前記浮遊ゲート電極との間の絶縁膜の厚みよりも薄い、請求項 1 ～ 4 のいずれか 1 項に記載の半導体メモリ。

【請求項 6】 第 1 導電型の半導体からなる第 1 層に、チャネル領域を挟むように形成された第 1 ソース／ドレイン領域および第 2 ソース／ドレイン領域と

、  
前記チャネル領域上に形成されたゲート電極とを備え、

前記第 1 ソース／ドレイン領域および前記第 2 ソース／ドレイン領域のいずれ

か一方がダイオード構造を有している、半導体装置。

【請求項 7】 前記ダイオード構造を有する第 1 または第 2 ソース／ドレイン領域は、

前記第 1 導電型の半導体からなる第 1 層に形成された第 2 導電型の第 1 不純物領域と、

前記第 1 不純物領域の内側に形成された第 1 導電型の第 2 不純物領域とを含み

前記第 1 不純物領域は、前記第 1 層と前記第 2 不純物領域との間のすべての領域に形成されている、請求項 6 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体メモリおよび半導体装置に関する。

【0002】

【従来の技術】

近年、磁気メモリであるハードディスクおよびフロッピーディスクに代替可能な半導体メモリとして、EPROM (Erasable and Programmable Read Only Memory) やEEPROM (Electrically Erasable and Programmable Read Only Memory) などの不揮発性半導体メモリが注目されている。

【0003】

EPROMやEEPROMのメモリセルでは、浮遊ゲート電極にキャリアを蓄積し、キャリアの有無によりデータの記憶を行うとともに、キャリアの有無によるしきい値電圧の変化を検出することによりデータの読み出しを行っている。特に、EEPROMには、メモリセルアレイ全体でデータの消去を行うか、あるいは、メモリセルアレイを任意のブロックに分けて各ブロック単位でデータの消去を行うフラッシュEEPROMがある。このフラッシュEEPROMは、フラッシュメモリとも呼ばれ、大容量化、低消費電力化、高速化が可能で耐衝撃性に優

れるという特徴を有することから、種々の携帯機器で使用されている。また、フラッシュEEPROMのメモリセルは、一つのトランジスタから構成され、EEPROMと比べて高集積化が容易であるという利点を有する。

【0004】

従来、フラッシュEEPROMを構成するメモリセルとして、スタックゲート型およびスプリットゲート型が提案されている。

【0005】

スタックゲート型メモリセルにおいて、浮遊ゲート電極に電子を蓄積させる書き込み動作では、半導体基板のチャネル中の電子をホットエレクトロンにして浮遊ゲート電極に注入する。その際、制御ゲート電極に十数Vの電圧を印加する必要がある。また、スタックゲート型メモリセルにおいて、浮遊ゲート電極に蓄積した電子を引き抜く消去動作では、ドレイン領域から浮遊ゲート電極にファウラーノルドハイム・トンネル電流 (Fowler-Nordheim Tunnel Current、以下、FNトンネル電流という) を流す。その際、ドレイン領域に十数Vの電圧を印加する必要がある。

【0006】

スプリットゲート型メモリセルにおいて、浮遊ゲート電極に電子を蓄積させる書き込み動作では、半導体基板のチャネル中の電子をホットエレクトロンにして浮遊ゲート電極に注入する。その際、ドレイン領域に十数Vの電圧を印加する必要がある。また、スプリットゲート型メモリセルにおいて、浮遊ゲート電極から電子を引き抜く消去動作では、制御ゲート電極から浮遊ゲート電極にFNトンネル電流を流す。その際、制御ゲート電極に十数Vの電圧を印加する必要がある。

【0007】

このように、従来のスタックゲート型およびスプリットゲート型のメモリセルでは、書き込み動作において浮遊ゲート電極に電子を注入するのにホットエレクトロンを利用し、消去動作において浮遊ゲート電極に蓄積された電子を引き抜くのにFNトンネル電流を利用している。

【0008】

ところで、浮遊ゲート電極に蓄積されたキャリアを長期間に渡って保持するに

は、浮遊ゲート電極を取り囲む絶縁膜の膜厚を厚くする必要がある。しかし、浮遊ゲート電極に電子を注入または引き抜く際に、ホットエレクトロンまたはFNトンネル電流を利用している。このため、浮遊ゲート電極を取り囲む絶縁膜の膜厚を厚くするほど、書き込み動作または消去動作において制御ゲート電極やドレイン領域に印加する電圧（以下、メモリセルの動作電圧という）を高くしなければならない。

## 【0009】

また、メモリセルの動作電圧は昇圧回路で生成される。この場合、実用上生成可能な電圧は十数Vまでである。一方、浮遊ゲート電極を取り囲む絶縁膜としてシリコン酸化膜を用いた場合、メモリセルの動作電圧を十数Vとすると、当該シリコン酸化膜の膜厚は8～10nm以上にはできない。したがって、従来は、メモリセルの動作電圧を数Vに抑えるために、浮遊ゲート電極を取り囲む絶縁膜としてシリコン酸化膜を用いる場合、その膜厚を8～10nmとしている。そのシリコン酸化膜の膜厚が、8～10nm程度であれば、浮遊ゲート電極に蓄積された電子を実用上ある程度満足できる期間（約10年）保持することができる。

## 【0010】

なお、浮遊ゲート電極に正孔を蓄積させる場合も、上記した電子を蓄積させる場合と同様に、浮遊ゲート電極を取り囲む絶縁膜としてのシリコン酸化膜の膜厚を8～10nmとすることによって、メモリセルの動作電圧を十数Vに抑えけるとともに、浮遊ゲート電極に蓄積された正孔を実用上ある程度満足できる期間保持するようにしている。

## 【0011】

## 【発明が解決しようとする課題】

近年、フラッシュEEPROMにおいても、浮遊ゲート電極に蓄積されたキャリアの保持期間を長くして長寿命化を図った上で、今までよりもさらに、低電圧化、動作の高速化、低消費電力化、高集積化を目指すことが求められている。

## 【0012】

上記したように、従来、浮遊ゲート電極を取り囲む絶縁膜としてシリコン酸化膜を用いる場合、その膜厚は8～10nmにしているため、長寿命化を図るには

そのシリコン酸化膜の膜厚を 8 n m よりも薄くすることは避ける必要がある。

【 0 0 1 3 】

ところで、メモリセルの動作電圧の低電圧化を図れば、昇圧するための時間（リードタイム）が短くなり、その分、書き込み動作および消去動作の高速化を図ることができる。また、低消費電力化も図ることができる。最も動作機会が多い読み出し動作においても、低電圧で動作し、読み出しセル電流が多いことは、高速な読み出しにとって非常に有利である。

【 0 0 1 4 】

また、メモリセルの動作電圧を生成するための昇圧回路は、生成する電圧が高くなるほど回路規模が増大する。そして、フラッシュ E E P R O M の周辺回路（デコーダ、センスアンプ、バッファなど）を構成するトランジスタは、耐電圧が高くなるほど基板上の占有面積（トランジスタサイズ）が増大する。そのため、メモリセルの動作電圧を低電圧化すれば、昇圧回路の回路規模が小さくなる上に、周辺回路を構成するトランジスタのサイズも小さくなることから、高集積化を図ることができる。

【 0 0 1 5 】

したがって、メモリセルの動作電圧の低電圧化を図ることにより、動作の高速化、低消費電力化、高集積化を全て同時に実現することができる。

【 0 0 1 6 】

しかし、従来のスタックゲート型およびスプリットゲート型メモリセルでは、浮遊ゲート電極に電子を注入または引き抜く際に、ホットエレクトロンまたは F N トンネル電流を利用している。そのため、浮遊ゲート電極を取り囲む絶縁膜としてシリコン酸化膜を使用する場合、その膜厚を今まで通り 8 ～ 1 0 n m に維持したままでは、メモリセルの動作電圧を現在よりも低下させることは困難である。つまり、従来のスタックゲート型およびスプリットゲート型のメモリセルの構造を変えない限り、現在と同水準の寿命を維持しつつ、メモリセルの動作電圧の低電圧化を図ることは困難である。

【 0 0 1 7 】

本発明は、上記のような課題を解決するためになされたものであって、



この発明の一つの目的は、長寿命化、低電圧化、動作の高速化、低消費電力化、高集積化を図ることが可能な半導体メモリを提供することである。

## 【 0 0 1 8 】

この発明のもう一つの目的は、ゲート長が大きくソース・ドレイン間電流が少なくなりがちなトランジスタにおいても多くの電流の流すことが可能な半導体装置を提供することである。

## 【 0 0 1 9 】

## 【課題を解決するための手段】

請求項1における半導体メモリは、浮遊ゲート電極と、浮遊ゲート電極の電位制御に用いられ、ダイオード構造を有する第1ソース／ドレイン領域と、第1ソース／ドレイン領域との間でチャンネル領域を挟むように形成された第2ソース／ドレイン領域とを備えている。なお、ソース／ドレイン領域とは、ソース領域またはドレイン領域という意味である。

## 【 0 0 2 0 】

請求項1では、上記のように構成することによって、読み出し動作の際にトランジスタのチャンネルがオンすると、ダイオード構造の第1ソース／ドレイン領域から基板に向かって多くの電流が流れる。これにより、読み出し動作の際に電流を多く取ることができ、その結果、高速な読み出しを実現することができる。特に、スプリットゲート型のフラッシュメモリなどのチャンネル長の長いトランジスタでは、読み出し動作の際に電流を多く取ることができる点は有効である。また、浮遊ゲート電極の電位制御に用いられる第1ソース／ドレイン領域をダイオード構造にすることによって、従来のトリプルウェル構造のような複雑な構造を用いなくても容易にダイオード構造の第1ソース／ドレイン領域に負電圧を印加することができる。これにより、消去動作の際に用いる電圧を正負に振り分けることができるので、昇圧回路を用いて生成する最高電圧を半分程度に低減することができる。それにより、低電圧化および低消費電力化を図ることができるとともに、昇圧回路の規模も小さくなるので、高集積化を図ることができる。その結果、低電圧化、動作の高速化、低消費電力化および高集積化を図ることが可能な半導体メモリを提供することができる。

## 【 0 0 2 1 】

なお、本発明のようなダイオード構造を用いることなく第1ソース／ドレイン領域に負電圧を印加すると、第1ソース／ドレイン領域と基板との間に過大な電流が流れる可能性があるとともに、消去時に第1ソース／ドレイン領域または第2ソース／ドレイン領域の一方をフローティングにしない場合には、消去後に第1ソース／ドレイン領域と第2ソース／ドレイン領域との間（ソースドレイン間）にも過大な電流が流れる可能性がある。この場合には、その過大な電流が昇圧回路の許容電流量を超える場合があるという不都合がある。本発明では、ダイオード構造を用いることにより、このような過大な電流が流れるのを有効に防止することができる。

## 【 0 0 2 2 】

請求項2における半導体メモリは、請求項1の構成において、ダイオード構造を有する第1ソース／ドレイン領域には、消去動作の際に、負電圧が印加される。

## 【 0 0 2 3 】

請求項2では、このように構成することによって、消去動作の際に用いる電圧を正負に振り分けることができるので、昇圧回路を用いて生成する最高電圧を半分程度に低減することができる。その結果、低電圧化を図ることができるとともに、昇圧回路の規模も小さくなるので、高集積化を図ることができる。

## 【 0 0 2 4 】

請求項3における半導体メモリは、請求項1または2の構成において、第1ソース／ドレイン領域は、第1導電型の半導体からなる第1層に形成された第2導電型の第1不純物領域と、第1不純物領域の内側に形成された第1導電型の第2不純物領域とを含み、第1不純物領域は、第1層と第2不純物領域との間のすべての領域に形成されている。請求項3では、このように構成することによって、第1不純物領域は通常のイオン注入プロセスを用いて容易に形成することができるので、プロセス的にも負担にならない。これにより、容易にダイオード構造を形成することができる。

## 【 0 0 2 5 】

請求項4における半導体メモリは、請求項1～3のいずれかの構成において、第2不純物領域は、絶縁膜を介して浮遊ゲート電極に容量結合している。請求項4では、このように構成することによって、電源から配線を介して直接電圧が印加される第2不純物領域の電圧を容量結合により効率よく浮遊ゲート電極に伝達することができる。

## 【0026】

請求項5における半導体メモリは、請求項1～4のいずれかの構成において、チャネル領域上にゲート絶縁膜を介して形成された制御ゲート電極をさらに備え、制御ゲート電極下のゲート絶縁膜の厚みは、制御ゲート電極と浮遊ゲート電極との間の絶縁膜の厚みよりも薄い。請求項5では、このように制御ゲート電極下のゲート絶縁膜の厚みを薄く形成することによって、トランジスタのスケーリング則により制御ゲート電極の長さも小さくすることができる。それにより、微細なトランジスタを形成する事が可能となり、その結果、応答速度の速い半導体メモリを提供することができる。なお、請求項5において、制御ゲート電極下のゲート絶縁膜の厚みを薄く形成するのは、以下の理由による。すなわち、請求項1～4の発明では、浮遊ゲート電極の電位制御に用いられる第1ソース／ドレイン領域をダイオード構造にすることによって、ダイオード構造の第1ソース／ドレイン領域に負電圧を印加することができる。これにより、消去動作の際に用いる電圧を正負に振り分けることができるので、制御ゲートー基板間の電圧を低減することができる。これにより、制御ゲート電極下のゲート絶縁膜の厚みを薄く形成することが可能となるのである。

## 【0027】

請求項6における半導体装置は、第1導電型の半導体からなる第1層に、チャネル領域を挟むように形成された第1ソース／ドレイン領域および第2ソース／ドレイン領域と、チャネル領域上に形成されたゲート電極とを備えている。そして、第1ソース／ドレイン領域および第2ソース／ドレイン領域のいずれか一方がダイオード構造を有している。

## 【0028】

請求項6では、このように構成することによって、トランジスタのチャネルが

オンすると、ダイオード構造の第1ソース／ドレイン領域から基板に向かって多くの電流が流れる。これにより、ゲート長が大きくソース・ドレイン間電流が少なくなりがちなトランジスタにおいても、多くの電流を流すことができる。また、ソース・ドレイン間電流は、ダイオード構造の下部を構成する不純物領域の電位を、第2ソース／ドレイン領域の電位とほぼ同じ電位に保持するだけの電流を流すだけで、第1ソース／ドレイン領域から基板に向かって多くの電流を流すことができる。

## 【0029】

請求項7における半導体装置は、請求項6の構成において、ダイオード構造を有する第1または第2ソース／ドレイン領域は、第1導電型の半導体からなる第1層に形成された第2導電型の第1不純物領域と、第1不純物領域の内側に形成された第1導電型の第2不純物領域とを含み、第1不純物領域は、第1層と第2不純物領域との間のすべての領域に形成されている。請求項7では、このように構成することにより、第1不純物領域は、通常のイオン注入プロセスを用いて容易に形成することができるので、プロセス的にも負担にならない。これにより、容易にダイオード構造を形成することができる。

## 【0030】

## 【発明の実施の形態】

以下、本発明を具体化した実施形態を図面に基づいて説明する。

## 【0031】

## (第1実施形態)

図1は、本発明の第1実施形態のメモリセルの一部断面図である。図1を参照して、以下に第1実施形態のメモリセル1の構造について説明する。

## 【0032】

この第1実施形態のメモリセル1では、p型単結晶シリコン基板2の表面に、n型のソース領域3と、ドレイン領域4とが所定の間隔を隔てて形成されている。基板2の表面におけるソース領域3とドレイン領域4との間のチャネル領域5には、シリコン酸化膜からなる第1ゲート絶縁膜6、ドーフトポリシリコン膜からなる制御ゲート電極7、シリコン酸化膜からなる第1トンネル絶縁膜8、n型

の不純物領域 9、シリコン酸化膜からなる第 2 トンネル絶縁膜 1 0、ドーフトポリシリコン膜からなる浮遊ゲート電極 1 1 およびシリコン酸化膜からなる第 3 絶縁膜 1 2 がこの順番で形成されている。浮遊ゲート電極 1 1 と、チャネル領域 5 とは、第 2 トンネル絶縁膜 1 0 とシリコン酸化膜からなる第 2 ゲート絶縁膜 1 3 とにより絶縁分離されている。

#### 【 0 0 3 3 】

また、浮遊ゲート電極 1 1 は、p 型単結晶シリコン基板 2 に形成されたトレンチに埋め込まれているとともに、ドレイン領域 4 の側壁に第 3 絶縁膜 1 2 を介して形成されている。

#### 【 0 0 3 4 】

ソース領域 3 には、ドーフトポリシリコン膜からなるソース電極 1 4 が接続されている。ソース電極 1 4 と制御ゲート電極 7 とは、シリコン酸化膜からなる第 4 絶縁膜 1 5 によって絶縁分離されている。ソース電極 1 4 および制御ゲート電極 7 上には、熱酸化膜 2 5 が形成されている。また、浮遊ゲート電極 1 1 上には、熱酸化膜 2 9 が形成されている。

#### 【 0 0 3 5 】

ここで、第 1 実施形態では、ドレイン領域 4 をダイオード構造に形成している。すなわち、ドレイン領域 4 は、n 型のドレイン領域 4 a と、p 型のドレイン領域 4 b と、p 型のポリシリコン膜からなるドレイン領域 4 c とによって形成されている。また、n 型のドレイン領域 4 a は、p 型単結晶シリコン基板 2 と p 型のドレイン領域 4 b との間の全領域に形成されている。また、p 型のポリシリコン膜からなるドレイン領域 4 c は、p 型のドレイン領域 4 b に埋め込まれるように形成されている。また、n 型のドレイン領域 4 a と p 型のドレイン領域 4 b とは、第 3 絶縁膜 1 2 を介して浮遊ゲート電極 1 1 に容量結合している。

#### 【 0 0 3 6 】

また、制御ゲート電極 7 の側壁と、p 型のポリシリコン膜からなるドレイン領域 4 c の側壁とには、シリコン窒化膜からなるサイドウォール・スペーサ 2 6 が形成されている。熱酸化膜 2 5 および 2 9 上には、シリコン窒化膜 3 0 が形成されている。

【0037】

なお、上記の各部材の膜厚は以下のように設定されている。

【0038】

- ・第1ゲート絶縁膜6の膜厚：3～4 nm
- ・第1トンネル絶縁膜8の膜厚：3～4 nm
- ・第2トンネル絶縁膜10の膜厚：8～10 nm
- ・第3絶縁膜12の膜厚：8～10 nm
- ・第2ゲート絶縁膜13の膜厚：8～10 nm
- ・第4絶縁膜15の膜厚：30～40 nm
- ・n型不純物領域9の幅（第1トンネル絶縁膜8と第2トンネル絶縁膜10の間の距離）：20～40 nm（なお、このn型不純物領域9の幅は、書き込みに使用する3～5 eVのエネルギーを持った電子を、浮遊ゲート電極11に数%以上到達させるために、20～30 nmが最も望ましい。）

ここで、ドレイン領域4と浮遊ゲート電極11との間に位置する第3絶縁膜12の面積は、n型不純物領域9と浮遊ゲート電極11との間に位置する第2トンネル絶縁膜10の面積よりも大きい。したがって、本実施形態におけるメモリセル1は、ドレイン領域4と浮遊ゲート電極11との間の静電容量が、n型不純物領域9と浮遊ゲート電極11との間の静電容量よりも大きくなっている。これにより、ドレイン領域4と浮遊ゲート電極11との間のカップリング比が、n型不純物領域9と浮遊ゲート電極11との間のカップリング比よりも大きくなる。その結果、ドレイン領域4の電位が浮遊ゲート電極11に伝わりやすくなる。

【0039】

図2にメモリセル1を用いた不揮発性半導体メモリ50の全体構成を示す。

【0040】

メモリセルアレイ51は、図2に示すように、複数のメモリセル1がマトリックス状に配置されて構成されている（図2では図面を簡略化するために、4個のメモリセルのみを示している）。

【0041】

行（ロウ）方向に配列された各メモリセル1において、各制御ゲート電極7は

、共通のワード線 $WL_1 \sim WL_n$ に接続されている。

【0042】

列（カラム）方向に配列された各メモリセル1において、ドレイン領域4は、共通のビット線 $BL_1 \sim BL_n$ に接続され、ソース電極14は、共通のソース線 $SL$ に接続されている。

【0043】

各ワード線 $WL_1 \sim WL_n$ は、ロウデコーダ52に接続され、各ビット線 $BL_1 \sim BL_n$ は、カラムデコーダ53に接続されている。

【0044】

外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン54に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン54からアドレスラッチ55へ転送される。アドレスラッチ55でラッチされた各アドレスのうち、ロウアドレスはアドレスバッファ56を介してロウデコーダ52へ転送され、カラムアドレスはアドレスバッファ56を介してカラムデコーダ53へ転送される。

【0045】

ロウデコーダ52は、各ワード線 $WL_1 \sim WL_n$ のうち、アドレスラッチ55でラッチされたロウアドレスに対応したワード線を選択するとともに、ゲート電圧制御回路57からの信号に基づいて、各ワード線 $WL_1 \sim WL_n$ の電位を後述する各動作モードに対応して制御する。

【0046】

カラムデコーダ53は、各ビット線 $BL_1 \sim BL_n$ のうち、アドレスラッチ55でラッチされたカラムアドレスに対応したビット線を選択し、ドレイン電圧制御回路58からの信号に基づいて、各ビット線 $BL_1 \sim BL_n$ の電位を後述する各動作モードに対応して制御する。

【0047】

外部から指定されたデータは、データピン59に入力される。そのデータは、データピン59から入力バッファ60を介してカラムデコーダ53へ転送される。カラムデコーダ53は、各ビット線 $BL_1 \sim BL_n$ の電位を、そのデータに対応

して後述するように制御する。

【0048】

任意のメモリセル1から読み出されたデータは、各ビット線 $BL_1 \sim BL_n$ からカラムデコーダ53を介してセンスアンプ群61へ転送される。センスアンプ群61は、電流センスアンプである。センスアンプ群61で判別されたデータは、出力バッファ62からデータピン59を介して外部へ出力される。

【0049】

ソース電圧制御回路63は、ソース線SLの電位を後述する各動作モードに対応して制御する。

【0050】

なお、上記した各回路(52～63)の動作は、制御コア回路64によって制御される。

【0051】

次に、上記のように構成されたメモリセル1の各動作(書き込み動作、消去動作、読み出し動作)について説明する。ソース領域3(ソース電極14)にはソース線SLを介して、ソース電圧 $V_s$ が印加される。ドレイン領域4には、ビット線 $BL_1 \sim BL_n$ を介してドレイン電圧 $V_d$ が印加される。制御電極7にはワード線 $WL_1 \sim WL_n$ を介して制御ゲート電圧 $V_{cg}$ が印加される。基板2には、基板電圧 $V_{sub}$ が印加される。

【0052】

(書き込み動作)

この書き込み動作を行う前には、浮遊ゲート電極11は消去状態(電子が引き抜かれている状態)にあり、第1実施形態において、消去状態にある浮遊ゲート電極11は、約2Vの電位を保っている。また、第1実施形態では、浮遊ゲート電極11をゲートとするトランジスタおよび制御ゲート電極7をゲートとするトランジスタのそれぞれのしきい値電圧 $V_t$ は、ともに0.5Vとする。

【0053】

書き込み動作において、メモリセル1の動作電圧を、ソース電圧 $V_s$ : 0V、ドレイン電圧 $V_d$ : 3V、制御ゲート電圧 $V_{cg}$ : -3V、基板電圧(メモリセ



ル 1 がシリコン基板に形成された p 型ウェルに形成されている場合はウェル電圧 : 以下、ウェル電圧)  $V_{sub} : 0 V$  に設定する。

#### 【 0 0 5 4 】

上述した通り、ドレイン領域 4 と浮遊ゲート電極 1 1 とは静電容量的に強くカップリングしているから、ドレイン電圧 (3 V) の約 2 / 3 が浮遊ゲート電極 1 1 の消去状態の電位 (約 2 V) に加算され、その結果、浮遊ゲート電極 1 1 の電位が約 4 V まで上昇する。これにより、浮遊ゲート電極 1 1 をゲートとするトランジスタがオン状態になり、n 型不純物領域 9 の電位がドレイン領域 4 の電位と同程度になる。

#### 【 0 0 5 5 】

すなわち、n 型不純物領域 9 の電位が 3 V (ドレイン電圧  $V_d$  を上限として、浮遊ゲート電極 1 1 の電位から上記しきい値電圧  $V_t$  だけレベルシフトした電圧) となり、n 型不純物領域 9 と制御ゲート電極 7 との間に高電界が発生する。その結果、FN トンネル電流が流れ、制御ゲート電極 7 から n 型不純物領域 9 に電子が移動する。制御ゲート電極 7 と n 型不純物領域 9 との間の第 1 トンネル絶縁膜 8 の障壁を透過 (トンネリング) した電子は、n 型不純物領域 9 と制御ゲート電極 7 との間に発生した高電界によって加速され、第 2 トンネル絶縁膜 1 0 を通って浮遊ゲート電極 1 1 に注入される。その結果、浮遊ゲート電極 1 1 に電子が蓄積され、データの書き込みが行われる。

#### 【 0 0 5 6 】

ここで、電子がシリコン酸化膜からなる第 2 トンネル絶縁膜 1 0 の障壁を越えるために必要なエネルギーは 3 . 2 e V であり、そのエネルギーを獲得するために必要な電位差は 3 . 2 V である。そのため、制御ゲート電極 7 と n 型不純物領域 9 との間および制御ゲート電極 7 と浮遊ゲート電極 1 1 との間に、それぞれ 3 . 2 V 以上の電位差が生じるように、上記した書き込み時の動作電圧を設定する。

#### 【 0 0 5 7 】

つまり、ドレイン電圧  $V_d$  を 3 V、制御ゲート電圧  $V_{cg}$  を - 3 V に設定すると、上述した通り、ドレイン領域 4 と浮遊ゲート電極 1 1 との間の静電カップリ

ングにより、浮遊ゲート電極 11 の電圧は約 4 V になり、また、n 型不純物領域 9 の電位は 3 V になる。従って、制御ゲート電極 7 と n 型不純物領域 9 との間には、当初 6 V の電位差が生じており、制御ゲート電極 7 と浮遊ゲート電極 11 との間には当初約 7 V の電位差が生じている。

## 【 0 0 5 8 】

また、電子のエネルギーが 3. 2 e V のときの平均自由行程（電子が進む距離の平均値）は約 3 0 ～ 4 0 n m である。ここで、n 型不純物領域 9 の幅は平均自由行程より薄い 3 0 n m に設定されている。そのため、制御ゲート電極 7 と n 型不純物領域 9 との間の第 1 トンネル絶縁膜 8 の障壁を透過した電子は、平均自由行程（＝約 3 0 ～ 4 0 n m）以下の短い距離で 3. 2 e V 以上に加速される。

## 【 0 0 5 9 】

したがって、この第 1 トンネル絶縁膜 8 の障壁を透過した電子のほとんど全てが、第 2 トンネル絶縁膜 10 の障壁（＝ 3. 2 e V）を越えるエネルギーを獲得してホットエレクトロンになり、n 型不純物領域 9 中にとどまることなく、極めて高い確率で浮遊ゲート電極 11 内に注入される。

## 【 0 0 6 0 】

なお、電子のエネルギーおよび第 1 トンネル絶縁膜 8 の障壁を透過する確率は、ソース電圧  $V_s$ 、ドレイン電圧  $V_d$ 、制御ゲート電圧  $V_{cg}$  により調整することができる。したがって、ホットエレクトロンが第 2 トンネル絶縁膜 10 の障壁をわずかに越えたエネルギーを得た時点で、ホットエレクトロンを浮遊ゲート電極 11 に注入することができる。

## 【 0 0 6 1 】

ところで、上述した通り、本第 1 実施形態にあっては、書き込み動作の当初は、制御ゲート電極 7 と n 型不純物領域 9 との間および制御ゲート電極 7 と浮遊ゲート電極 11 との間に 3. 2 V 以上の電位差が生じているので、継続して書き込みが行われる（浮遊ゲート電極 11 に電子が注入される）。その一方、書き込み動作の進行に伴って、浮遊ゲート電極 11 には、継続して電子が注入されるので、浮遊ゲート電極 11 の電位が 4 V から次第に低下する。上述した通り、n 型不純物領域 9 の電位は、ドレイン電圧  $V_d$  を上限として、浮遊ゲート電極 11 の電

位から上記しきい値電圧  $V_t$  だけレベルシフトした値となる。このため、浮遊ゲート電極 11 の電位の低下にあわせて、n 型不純物領域 9 の電位も次第に低下し、ついには、制御ゲート電極 7 と n 型不純物領域 9 との間の電位差が 3.2 V 未満となる。すると、制御ゲート電極 7 中の電子が第 1 トンネル絶縁膜 8 の障壁を透過することができなくなり、それ以上書き込み動作は行われなくなる。

#### 【0062】

すなわち、本実施形態にあつては、浮遊ゲート電極 11 の電位変化によって書き込み動作が自動的に終了する構造であるので、別途書き込み動作の終了を検出するための回路が不要となる。これにより、周辺回路における構造の簡略化、面積の縮小化および低消費電力化を実現することができる。さらに、本実施形態では、一定の書き込み電圧で書き込みを終了するのではなく、浮遊ゲート電極 11 の電位変化によって書き込み動作が自動的に終了するので、各メモリセル 1 間に書き込みレベルのバラツキが発生するのを有効に防止することができる。その結果、各メモリセル 1 の書き込みレベルをほぼ均一にすることができる。

#### 【0063】

##### (消去動作)

本第 1 実施形態の消去動作の際の動作電圧は、ダイオード構造を有するドレイン領域 4 に負電圧を印加する。具体的は、消去動作においては、メモリセル 1 の動作電圧を、ソース電圧  $V_s$  : 5.5 V、ドレイン電圧  $V_d$  : -4 V、制御ゲート電圧  $V_{cg}$  : 5.5 V、基板電圧 (ウェル電圧)  $V_{sub}$  : 0 V に設定する。この場合、ドレイン領域 4 と浮遊ゲート電極 11 とは静電容量的に強くカップリングしているから、浮遊ゲート電極 11 の電位がほぼ -3 V となる。

#### 【0064】

一方、制御ゲート電極 7 の電位は 5.5 V であるので、制御ゲート電極 7 をゲートとするトランジスタがオン状態になる。これにより、n 型不純物領域 9 の電位がソース領域 3 の電位と同程度になる。すなわち、n 型不純物領域 9 の電位は 5 V (ソース電圧  $V_s$  を上限として、制御ゲート電極 7 の電位から上記しきい値電圧  $V_t$  だけレベルシフトした電圧) となる。これにより、n 型不純物領域 9 と浮遊ゲート電極 11 との間に位置する第 2 トンネル絶縁膜 10 に約 10 MV の高

電界が発生する。その結果、F Nトンネル電流が流れ、浮遊ゲート電極 1 1 から n 型不純物領域 9 に電子が引き抜かれて、データの消去が行われる。

#### 【 0 0 6 5 】

上記第 1 実施形態では、以下のような作用・効果を得ることができる。

#### 【 0 0 6 6 】

(1) n 型のドレイン領域 4 a と p 型のドレイン領域 4 b および 4 c とによってダイオードを構成することにより、従来のトリプルウェル構造のような複雑な構造を用いなくても容易にドレイン領域 4 b および 4 c に負電圧を印加することができる。これにより、消去動作に用いる電圧を正負に分けることができるので、昇圧回路を用いて生成する最高電圧を半分程度に低減することができる。具体的には、消去動作において、メモリセル 1 の動作電圧を  $\pm 6 \text{ V}$  以下に収めることができる。これにより、従来のスタックゲート型またはスプリットゲート型メモリセルに比べて、その動作電圧および消去動作時の消費電力を低減させることができる。また、昇圧回路の規模も小さくなるので、高集積化を図ることができる。

#### 【 0 0 6 7 】

また、基板 2 に負電圧を導入することなく負電圧をセル領域に用いることができるので、基板 2 に負電圧を導入する場合に必要なトリプルウェル構造を形成するための高エネルギーイオン注入などのプロセスを必要としない。第 1 実施形態では、p 型のドレイン領域 4 b は、通常の不純物イオン注入プロセスを用いて容易に形成することができるので、プロセス的にも負担にならない。

#### 【 0 0 6 8 】

また、第 1 実施形態のようなダイオード構造を用いしないでドレイン領域 4 に負電圧を印加すると、ドレイン領域 4 a と p 型単結晶シリコン基板 2 との間に過大な電流が流れる可能性があるとともに、消去時にソース領域 3 またはドレイン領域 4 の一方をフローティングにしない場合は、消去後にソース領域 3 とドレイン領域 4 との間にも過大な電流が流れる可能性がある。この場合には、その過大な電流が昇圧回路の許容電流量を超える場合があるという不都合がある。この第 1 実施形態では、ダイオード構造を用いることにより、このような過大な電流が流

れるのを有効に防止することができる。

【0069】

(2) また、n型のドレイン領域4 aとp型のドレイン領域4 bとが第3絶縁膜12を介して浮遊ゲート電極11に容量結合しているので、電源から配線を介して直接電圧が印加されるp型のドレイン領域4 bの電圧を容量結合により効率よく浮遊ゲート電極11に伝達することができる。

【0070】

(3) 消去動作において、ソース電圧 $V_s$ および制御ゲート電圧 $V_{cg}$ を制御することにより、浮遊ゲート電極11の電位に関係なくn型不純物領域9の電位を制御することができる。したがって、n型不純物領域9の電位を制御する回路が不要となり、その結果、レイアウト面積の縮小化および低消費電力化を実現することができる。

【0071】

(第2実施形態)

図3は、本発明の第2実施形態のメモリセルの一部断面図であり、図4は、図3に示した第2実施形態のメモリセル101を用いた不揮発性半導体メモリ150の全体構成を示したブロック図である。

【0072】

図3を参照して、この第2実施形態のメモリセル101は、従来のスプリットゲート型メモリセルの構造において、浮遊ゲート電極の電位制御に用いられるドレイン領域をダイオード構造に構成している。

【0073】

具体的には、図3に示すように、この第2実施形態のメモリセル101では、p型単結晶シリコン基板102の表面に、チャネル領域105を挟んでn型のソース領域103と、ドレイン領域104とが形成されている。ドレイン領域104は、p型単結晶シリコン基板102の表面に形成されたn型のドレイン領域104 aと、n型のドレイン領域104 aの内側に形成されたp型のドレイン領域104 bとから構成されている。この場合、n型のドレイン領域104 aは、p型のドレイン領域104 bと、p型単結晶シリコン基板102との間の全ての領

域に形成されている。

#### 【0074】

また、チャネル領域105およびドレイン領域104上には第2ゲート絶縁膜112を介して浮遊ゲート電極111が形成されている。浮遊ゲート電極111の上部には上部絶縁膜113が形成されている。浮遊ゲート電極111の側面にはトンネル絶縁膜110が形成されている。また、チャネル領域105上には第1ゲート絶縁膜106を介して制御ゲート電極107が形成されている。この制御ゲート電極107は、トンネル絶縁膜110および上部絶縁膜113を介して、浮遊ゲート電極111上に乗り上げるように形成されている。

#### 【0075】

なお、第2ゲート絶縁膜112は、8nm程度の厚みを有する。また、トンネル絶縁膜110は、10nm～30nm程度の膜厚を有する。また、第1ゲート絶縁膜106は、10～30nm程度の膜厚を有する。また、制御ゲート電極107は、30nm～200nm程度の膜厚を有し、浮遊ゲート電極111は、30nm～200nm程度の膜厚を有する。

#### 【0076】

次に、図4を参照して、図3に示した第2実施形態のメモリセル101を用いた不揮発性半導体メモリ150の全体構成を示す。この不揮発性半導体メモリ150の全体構成は、図2に示した第1実施形態の不揮発性半導体メモリの50の構成とほぼ同様であり、メモリセルアレイ151内のメモリセル101のみが異なる。この第2実施形態のメモリセルアレイ151は、図4に示すように、複数のメモリセル101がマトリックス状に配置されて構成されている（図4では図面を簡略化するために、4個のメモリセルのみを示している）。

#### 【0077】

行（ロウ）方向に配列された各メモリセル101において、各制御ゲート電極107は、共通のワード線 $WL_1 \sim WL_n$ に接続されている。

#### 【0078】

列（カラム）方向に配列された各メモリセル101において、ダイオード構造のドレイン領域104は、共通のビット線 $BL_1 \sim BL_n$ に接続され、ソース領域

103は、共通のソース線SLに接続されている。また、各ワード線WL<sub>1</sub>～WL<sub>n</sub>は、ロウデコーダ52に接続され、各ビット線BL<sub>1</sub>～BL<sub>n</sub>は、カラムデコーダ53に接続されている。

#### 【0079】

なお、図4に示した各回路（52～64）の機能は、図2に示した第1実施形態の各回路（52～64）と同様である。

#### 【0080】

次に、上記のように構成されたメモリセル101の各動作（書き込み動作、消去動作、読み出し動作）について説明する。ソース領域103にはソース線SLを介してソース電圧Vsが印加される。ドレイン領域104には、ビット線BL<sub>1</sub>～BL<sub>n</sub>を介してドレイン電圧Vdが印加される。制御ゲート電圧107には、ワード線WL<sub>1</sub>～WL<sub>n</sub>を介して制御ゲート電極Vcgが印加される。基板102には、基板電圧Vsubが印加される。なお、この第2実施形態によるスプリットゲート型のフラッシュメモリでは、浮遊ゲート電極111をゲートとするトランジスタおよび制御ゲート電極107をゲートとするトランジスタのそれぞれのしきい値電圧Vtは、ともに0.5Vとする。

#### 【0081】

書き込み動作においては、メモリセル101の動作電圧を、ソース電圧Vs：0V、ドレイン電圧Vd：12V、制御ゲート電圧Vcg：2V、基板電圧Vsub：0Vに設定する。上述した通り、メモリセル101において、制御ゲート電極107とソース領域103およびドレイン領域104によって構成されるトランジスタのしきい値電圧Vtは、0.5Vである。したがって、ソース領域103中の電子は、反転状態のチャネル領域へ移動する。そのため、ドレイン領域104からソース領域103に向かって電流（セル電流）Idが流れる。

#### 【0082】

一方、ドレイン領域104に12Vが印加されるため、ドレイン領域104と浮遊ゲート電極111との間の容量を介したカップリングにより、浮遊ゲート電極111の電位が持ち上げられる。そのため、制御ゲート電極107下のチャネルには、Vsが伝えられ、浮遊ゲート電極111下のチャネルには、Vdに近い

電圧が伝えられる。このため、制御ゲート電極107と浮遊ゲート電極111との間に挟まれた酸化膜110の直下のチャンネルに高電界が発生する。これにより、チャンネル領域中の電子は加速されてホットエレクトロンとなり、浮遊ゲート電極111へ注入される。

## 【0083】

つまり、ソース領域103からドレイン領域104に向かって電子が流れ、その一部（約1/1000）が浮遊ゲート電極111に注入される。その結果、選択されたメモリセル101の浮遊ゲート電極111には電荷が蓄積され、1ビットのデータが書き込まれて記憶される。

## 【0084】

## （消去動作）

この第2実施形態における消去動作では、ドレイン領域104をダイオード構造に構成することによって、ドレイン領域104に負の電圧を印加することができる。それにより、正負に電圧を振り分けることができ、昇圧回路を用いて生成する最高電圧を半分程度に低減することができる。

## 【0085】

具体的には、消去動作においては、メモリセル101の動作電圧を、ソース電圧 $V_s$  : 0 V、ドレイン電圧 $V_d$  : -4 V、制御ゲート電極 $V_{cg}$  : 5.5 V、基板電圧（ウェル電圧） $V_{sub}$  : 0 Vに設定する。

## 【0086】

ところで、ドレイン領域104および基板102と、浮遊ゲート電極111との間の静電容量と、制御ゲート電極107と浮遊ゲート電極111との間の静電容量とを比べると、前者の方が圧倒的に大きい。そのため、制御ゲート電極107が5.5 V、ドレイン領域104が-4 Vの場合、制御ゲート電極107と浮遊ゲート電極111との間には高電界が発生する。その結果、FNトンネル電流が流れ、浮遊ゲート電極111中の電子が制御ゲート電極107側へ引き抜かれて、メモリセル101に記憶されたデータの消去が行われる。

## 【0087】

## （読み出し動作）



読み出し動作では、選択されたメモリセル 1 0 1 の制御ゲート電極 1 0 7 に接続されているワード線  $WL_m$  には 4 V が供給され、それ以外のワード線（非選択のワード線）の電位はグラウンドレベルに設定される。選択されたメモリセル 1 0 1 のドレイン領域 1 0 4 に接続されるビット線  $BL_m$  には 2 V が供給され、それ以外のビット線の電位はグラウンドレベルに設定される。

#### 【 0 0 8 8 】

消去状態にあるメモリセル 1 0 1 の浮遊ゲート電極 1 1 1 からは電子が引き抜かれているため、浮遊ゲート電極 1 1 1 はプラスに帯電している。また、書き込み状態にあるメモリセル 1 0 1 の浮遊ゲート電極 1 1 1 には電子が注入されているため、浮遊ゲート電極 1 1 1 はマイナスに帯電している。したがって、消去状態にあるメモリセル 1 0 1 の浮遊ゲート電極 1 1 1 直下のチャネル領域 1 0 5 は、オンしており、書き込み状態にあるメモリセル 1 0 1 の浮遊ゲート電極 1 1 1 直下のチャネル領域 1 0 5 はオフ状態にある。そのため、制御ゲート電極 1 0 7 に 4 V が印加されたとき、ドレイン領域 1 0 4 からソース領域 1 0 3 に向かって流れるセル電流  $I_d$  は、消去状態のメモリセル 1 0 1 の方が書き込み状態のメモリセル 1 0 1 よりも大きくなる。

#### 【 0 0 8 9 】

この各メモリセル 1 0 1 間のセル電流値  $I_d$  の大小をセンスアンプ群 6 1 内の各センスアンプで判別することにより、メモリセル 1 0 1 に記憶されたデータの値を読み出すことができる。

#### 【 0 0 9 0 】

この第 2 実施形態では、上記第 1 実施形態の作用・効果に加えて以下のような作用・効果を得ることができる。

#### 【 0 0 9 1 】

(4) 第 2 実施形態によるスプリットゲート型のフラッシュメモリなどのチャネル長の長いトランジスタにおいても、読み出し動作の際に電流を多くとることができる。すなわち、読み出し動作の際にトランジスタのチャネルがオンすると、ダイオード構造のドレイン領域 1 0 4 から基板 1 0 2 に向かって多くの電流が流れる。これにより、読み出し動作の際に電流を多くとることができ、その結果

、チャネル長の長いスプリットゲート型のフラッシュメモリにおいても、高速な読み出しを実現することができる。

## 【 0 0 9 2 】

## (第3実施形態)

図5は、本発明の第3実施形態のメモリセルの一部断面図である。図5を参照して、この第3実施形態は、上記した第2実施形態のメモリセルと同様、スプリットゲート型のメモリセルである。また、図5に示した第3実施形態のメモリセルは、図3に示した第2実施形態のメモリセルの構造とほぼ同じであるが、第3実施形態のメモリセルでは、制御ゲート電極107下の第1ゲート絶縁膜106aの厚みを薄く形成している。すなわち、図5に示した第3実施形態では、制御ゲート電極107下の第1ゲート絶縁膜106aの厚みを、8nm以下の膜厚に設定し、制御ゲート電極107と浮遊ゲート電極111との間のトンネル絶縁膜110の厚み(10nm～30nm)の半分以下の厚みに設定している。

## 【 0 0 9 3 】

ここで、この第3実施形態において、制御ゲート電極107下の第1ゲート絶縁膜106aの厚みを薄く形成するのは、以下の理由による。すなわち、本実施形態では、上述した第1および第2実施形態と同様、ドレイン領域104をダイオード構造に構成することによって、ドレイン領域104に消去時に負の電圧を印加することができる。これにより、消去動作の際に用いる電圧を正負に振り分けることができるので、制御ゲート－基板間の電圧を低減することができる。このため、制御ゲート電極107下の第1ゲート絶縁膜106aの厚みを従来に比べて薄く形成することができる。

## 【 0 0 9 4 】

第3実施形態では、上記のように構成することによって、第1および第2実施形態の作用・効果に加えて、さらに以下のような作用・効果を得ることができる。

## 【 0 0 9 5 】

(5) すなわち、この第3実施形態では、制御ゲート電極107下の第1ゲート絶縁膜106aの厚みを、制御ゲート電極107と浮遊ゲート電極111との

間の絶縁膜 1 1 0 の厚みの半分以下の薄い厚みに形成することによって、トランジスタのスケーリング則により制御ゲート電極 1 0 7 の長さも小さくすることができる。これにより、微細なトランジスタを形成することが可能となり、その結果、応答速度の速いフラッシュメモリを提供することができる。

## 【 0 0 9 6 】

## (第 4 実施形態)

図 6 は、本発明の第 4 実施形態の電界効果型トランジスタを示した断面図である。図 6 を参照して、この第 4 実施形態では、通常の電界効果型トランジスタにおいて、ソース領域またはドレイン領域の一方をダイオード構造に構成している。

## 【 0 0 9 7 】

具体的には、この第 4 実施形態の電界効果型トランジスタでは、p 型単結晶シリコン基板 2 0 2 の表面上に、チャネル領域 2 0 8 を挟むように所定の間隔を隔てて、n 型のソース領域 2 0 3 と、ダイオード構造を有するドレイン領域 2 0 4 とが形成されている。このダイオード構造を有するドレイン領域 2 0 4 は、p 型単結晶半導体基板 2 0 2 の表面に形成された n 型のドレイン領域 2 0 4 a と、n 型のドレイン領域 2 0 4 a の内側に形成された p 型のドレイン領域 2 0 4 b とから構成される。また、n 型のドレイン領域 2 0 4 a は、p 型のドレイン領域 2 0 4 b と p 型単結晶半導体基板 2 0 2 との間の全ての領域に形成されている。また、チャネル領域 2 0 8 上にはゲート絶縁膜 2 0 5 を介してゲート電極 2 0 6 が形成されている。ゲート電極 2 0 6 の両側面にはサイドウォール絶縁膜 2 0 7 が形成されている。

## 【 0 0 9 8 】

この第 4 実施形態では、上記第 1 ～第 3 実施形態に加えて、以下のような作用・効果を得ることができる。

## 【 0 0 9 9 】

(6) すなわち、この第 4 実施形態では、トランジスタのチャネルがオンすると、ダイオード構造のドレイン領域 2 0 4 から基板 2 0 2 に向かって多くの電流が流れる。これにより、ゲート長が長くソース・ドレイン間電流が少なくなり

ちなトランジスタにおいても、多くの電流を流すことができる。また、ソース・ドレイン間電流は、ダイオード構造の下部を構成する n 型のドレイン領域 2 0 4 a の電位を、ソース領域 2 0 3 の電位とほぼ同じ電位に保持するだけの電流を流すだけで、ダイオード構造のドレイン領域 2 0 4 から基板 2 0 2 に向かって多くの電流を流すことができる。

#### 【 0 1 0 0 】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

#### 【 0 1 0 1 】

たとえば、上記実施形態では、基板を p 型、ソース領域を n 型、ドレイン領域を外側の n 型のドレイン領域と内側の p 型のドレイン領域とによって構成したが、本発明はこれに限らず、基板を n 型、ソース領域を p 型、ドレイン領域を、外側に p 型のドレイン領域、内側に n 型のドレイン領域によって構成するようにしてもよい。

#### 【 0 1 0 2 】

##### 【発明の効果】

以上のように、本発明によれば、半導体メモリにおいて、浮遊ゲート電極の電位制御に用いられるソース／ドレイン領域をダイオード構造に構成することによって、消去動作に用いる電圧を正負に振り分けることができ、従来に比べて、動作電圧および消去動作時の消費電力を低減することができる。また、昇圧回路の規模も小さくなるので、高集積化を図ることができる。さらに、読み出し電流を増加させることによって、読み出し動作の高速化を図ることもできる。その結果、低電圧化、動作の高速化、低消費電力化および高集積化を図ることが可能な半導体メモリを提供することができる。

#### 【 0 1 0 3 】

また、ゲート長が大きくソース・ドレイン間電流が少なくなりがちな電界効果型トランジスタにおいても、多くの電流を流すことが可能な半導体装置を提供す

ることができる。

【図面の簡単な説明】

【図 1】

本発明を具体化した第 1 実施形態のメモリセルの一部断面図である。

【図 2】

本発明を具体化した第 1 実施形態の半導体メモリのブロック回路図である。

【図 3】

本発明を具体化した第 2 実施形態のメモリセルの一部断面図である。

【図 4】

本発明を具体化した第 2 実施形態の半導体メモリのブロック回路図である。

【図 5】

本発明を具体化した第 3 実施形態のメモリセルの一部断面図である。

【図 6】

本発明を具体化した第 4 実施形態の電界効果型トランジスタを示した一部断面図である。

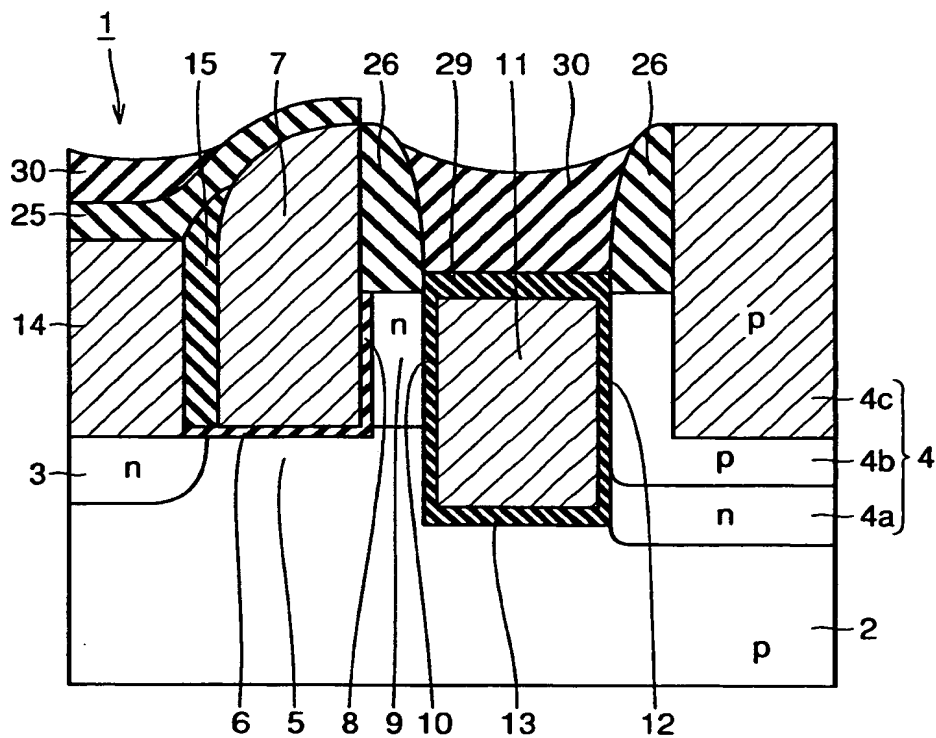
【符号の説明】

- 1、1 0 1   メモリセル
- 2、1 0 2、2 0 2   p 型単結晶シリコン基板（第 1 層）
- 3、1 0 3、2 0 3   ソース領域
- 4、1 0 4、2 0 4   ドレイン領域（ダイオード構造）
- 4 a、1 0 4 a、2 0 4 a   n 型のドレイン領域
- 4 b、1 0 4 b、2 0 4 b   p 型のドレイン領域
- 4 c   p 型のドレイン領域（ポリシリコン膜）
- 5、1 0 5、2 0 8   チャネル領域
- 6、1 0 6、1 0 6 a   第 1 ゲート絶縁膜
- 7、1 0 7   制御ゲート電極
- 8   第 1 トンネル絶縁膜
- 9   n 型不純物領域
- 1 0   第 2 トンネル絶縁膜

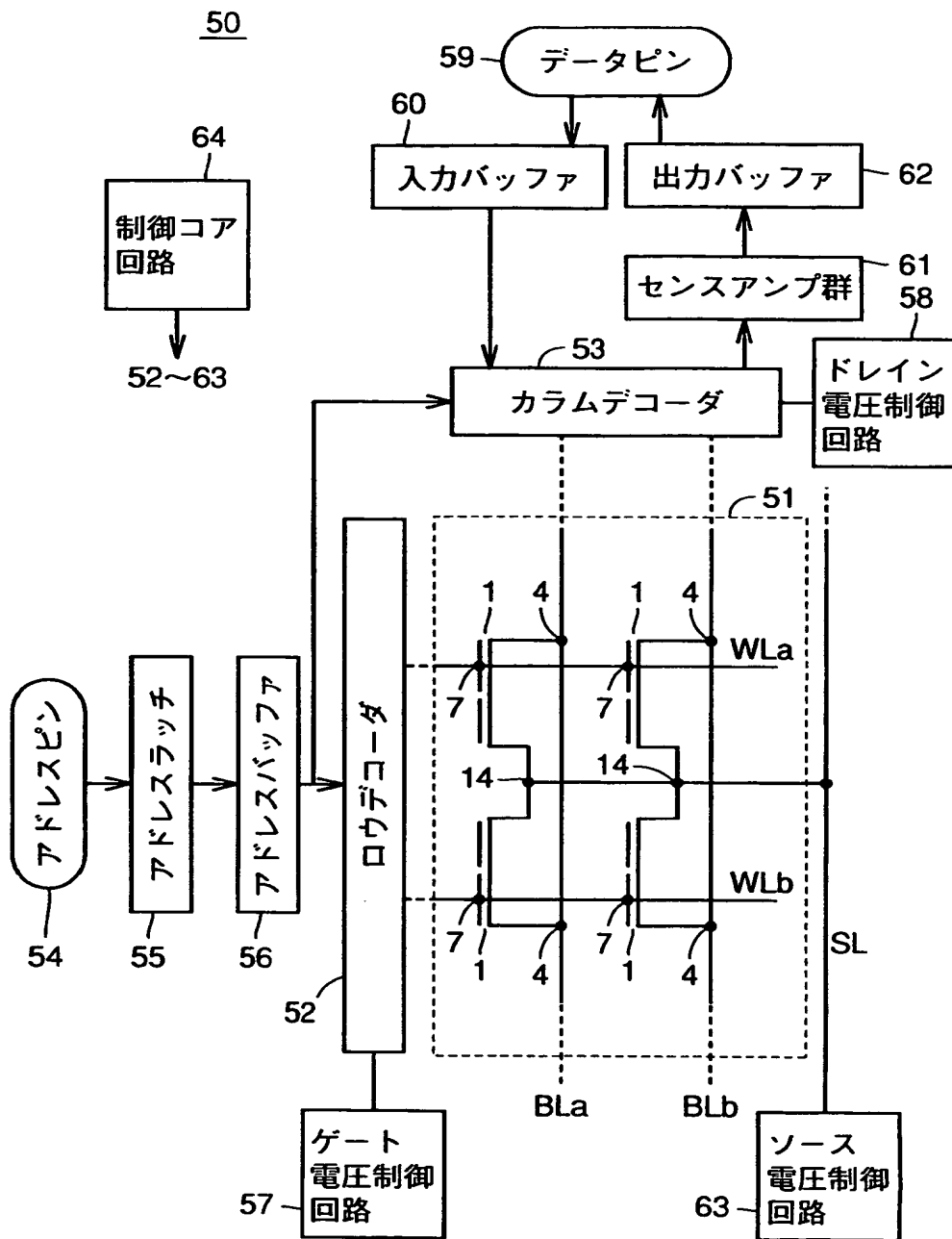
- 1 1、1 1 1 浮遊ゲート電極
- 1 2 第 3 絶縁膜
- 1 3、1 1 2 第 2 ゲート絶縁膜
- 1 1 0 トンネル絶縁膜

【書類名】 図面

【図 1】

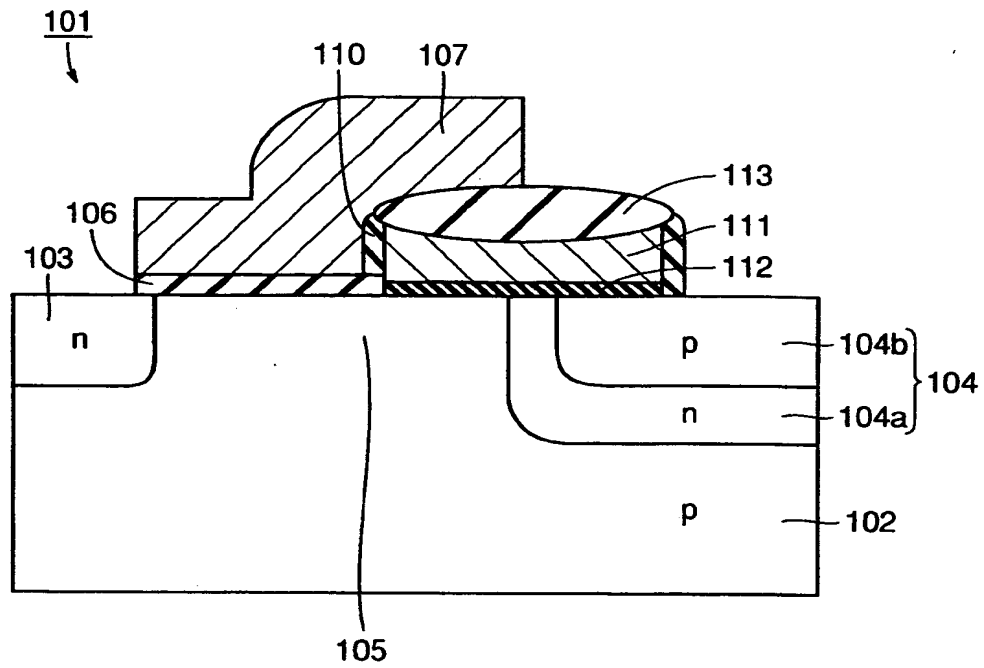


【図2】

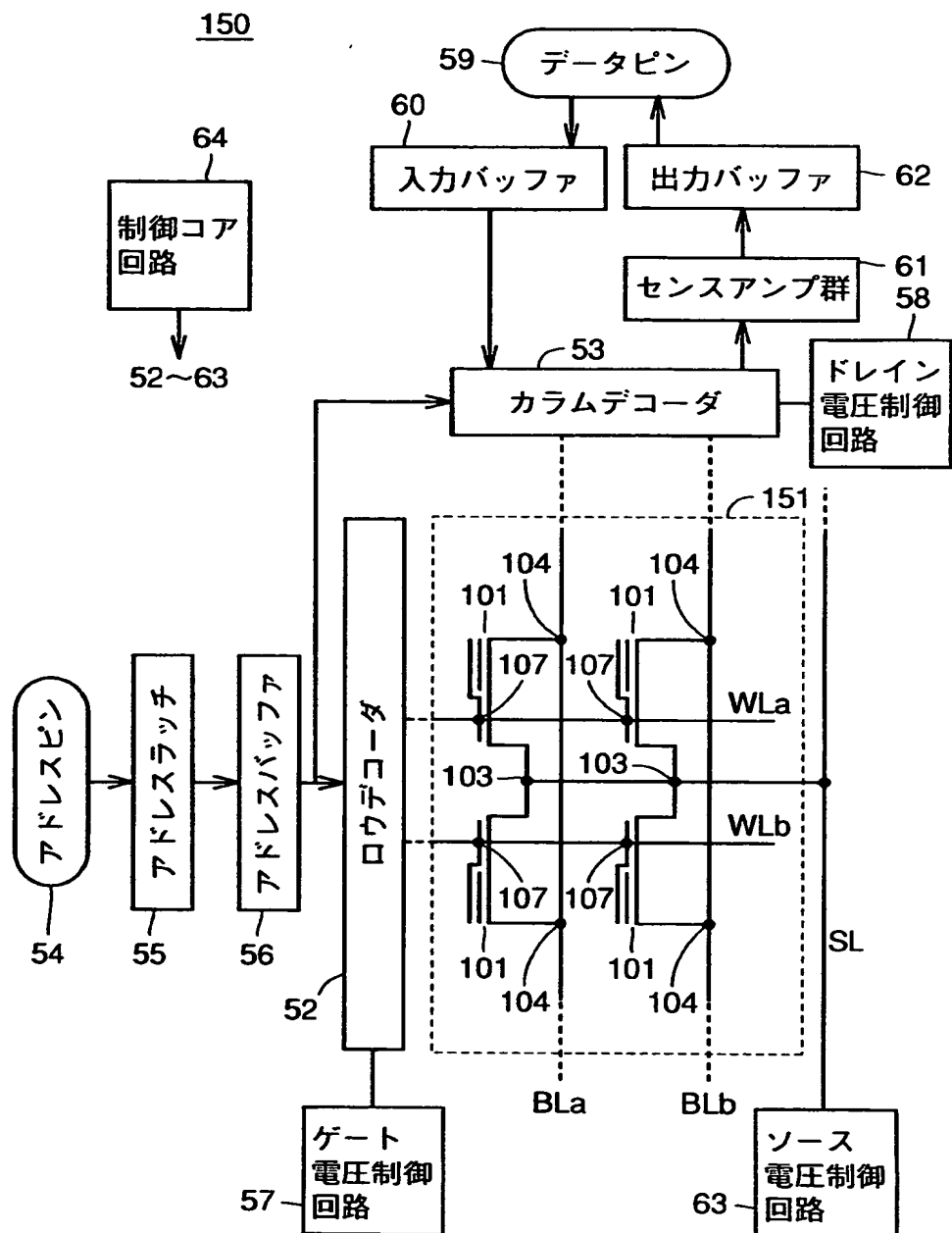




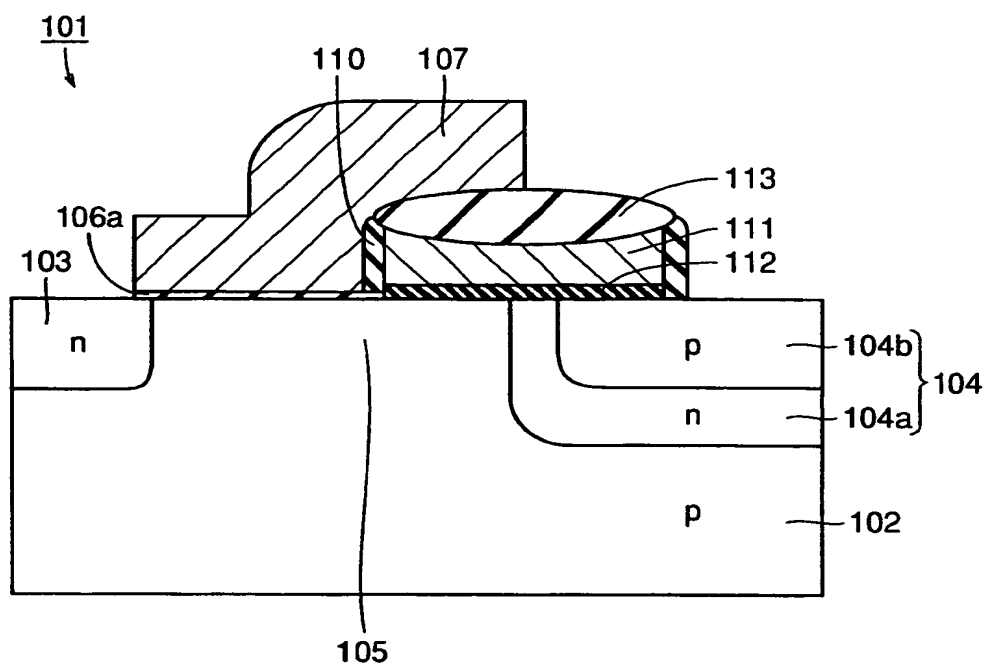
【図 3】



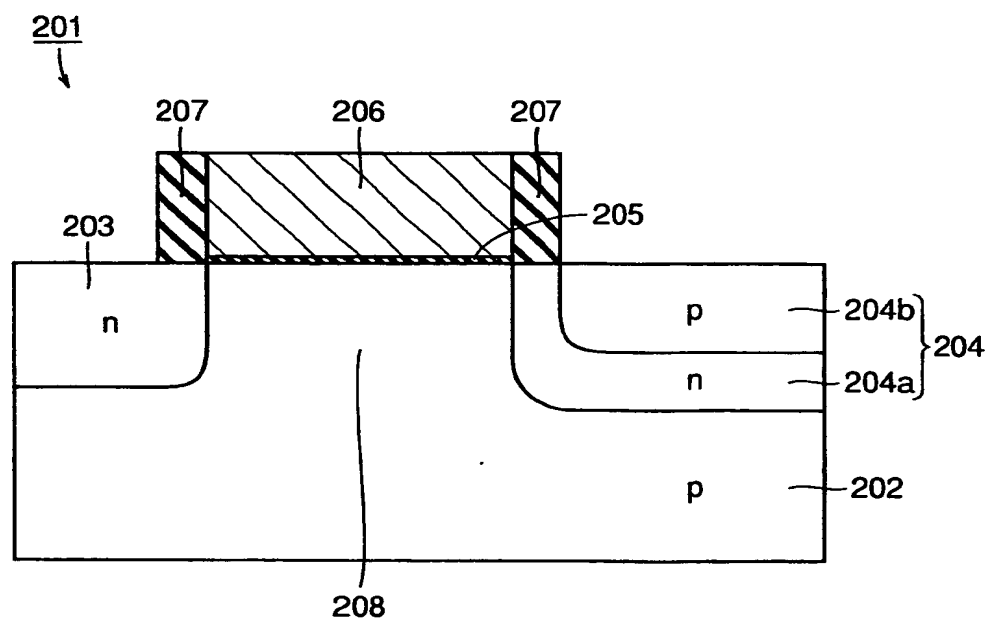
【図4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】低電圧化、動作の高速化、低消費電力化および高集積化を図ることが可能な半導体メモリを提供する。

【解決手段】浮遊ゲート電極 1 1 と、その浮遊ゲート電極 1 1 の電位制御に用いられ、ダイオード構造を有するドレイン領域 4 と、ドレイン領域 4 との間でチャネル領域 5 を挟むように形成されたソース領域 3 とを備えている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社